

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009163

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 21/822

H01L 21/8249

H01L 27/04

H01L 27/06

(21)Application number : 2001-113510

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 12.04.2001

(72)Inventor : DOUGLAS D KUURUBAAGU
DUNN JAMES STUART
ST ONGE STEPHEN ARTHUR

(30)Priority

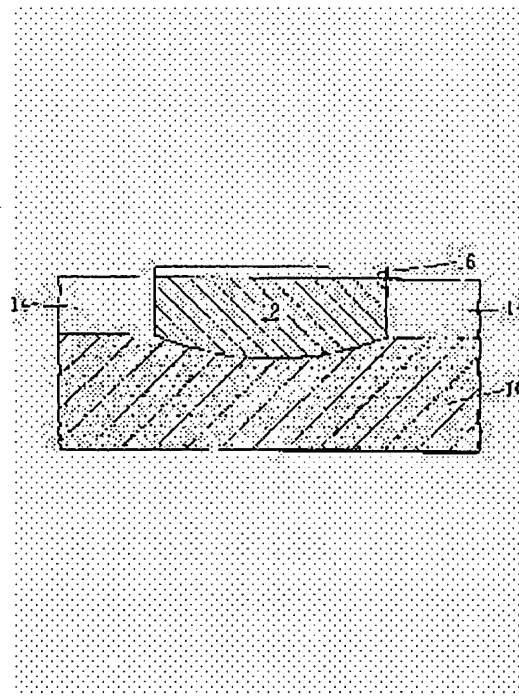
Priority number : 2000 551168 Priority date : 17.04.2000 Priority country : US

(54) METHOD FOR MANUFACTURING STACKED DOUBLE POLYSILICON/MOS CAPACITOR USING SiGe INTEGRAL MECHANISM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stacked double polysilicon/MOS capacitor useful as the component of a BiCMOS device including a semiconductor substrate forming a first conductivity-type area on the surface.

SOLUTION: A gate oxide overlapped on the first conductivity-type area is formed on the semiconductor substrate. A first polysilicon layer doped with an N type dopant or a P type dopant is formed at least on a gate oxide layer. A dielectric layer is formed on the first polysilicon layer. A second polysilicon layer doped with the same dopant as the first polysilicon layer or a different dopant is formed on the dielectric layer.



LEGAL STATUS

[Date of request for examination]

12.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

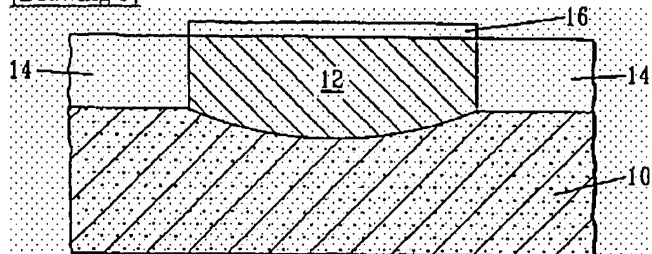
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

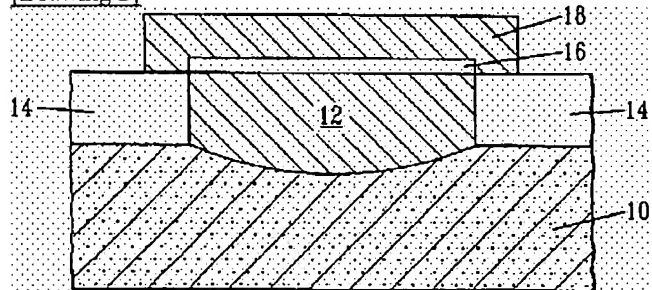
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

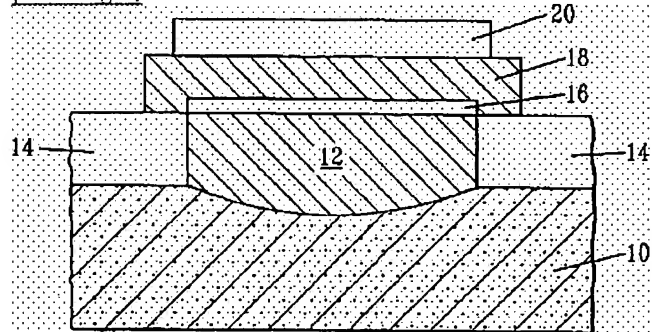
[Drawing 1]



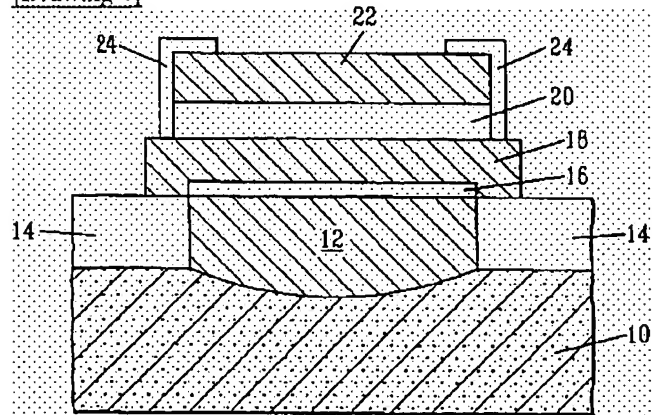
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the processing step of this invention which produces the laminating double polish recon / MOS capacitor of this invention. Only the capacitor field of a BiCMOS device is shown and the bipolar device field and the CMOS device field are omitted for conspicuousness.

[Drawing 2] It is drawing showing the processing step of this invention which produces the laminating double polish recon / MOS capacitor of this invention. Only the capacitor field of a BiCMOS device is shown and the bipolar device field and the CMOS device field are omitted for conspicuousness.

[Drawing 3] It is drawing showing the processing step of this invention which produces the laminating double polish recon / MOS capacitor of this invention. Only the capacitor field of a BiCMOS device is shown and the bipolar device field and the CMOS device field are omitted for conspicuousness.

[Drawing 4] It is drawing showing the processing step of this invention which produces the laminating double polish recon / MOS capacitor of this invention. Only the capacitor field of a BiCMOS device is shown and the bipolar device field and the CMOS device field are omitted for conspicuousness.

[Description of Notations]

10 Substrate

12 Field

14 Trench Isolation Region

16 Oxidizing Zone

18 1st Polish Recon Layer

20 Dielectric Layer

22 2nd Polish Recon Layer

24 Spacer

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9163

(P2002-9163A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L	21/822	H 0 1 L	27/04
	21/8249		27/06
	27/04		
	27/06		

審査請求 有 請求項の数37 O L (全 9 頁)

(21) 出願番号 特願2001-113510(P2001-113510)

(22) 出願日 平成13年4月12日 (2001.4.12)

(31) 優先権主張番号 09/551168

(32) 優先日 平成12年4月17日 (2000.4.17)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

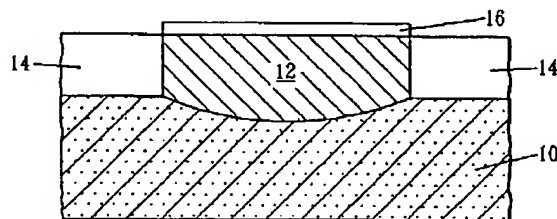
最終頁に続く

(54) 【発明の名称】 SiGe統合機構を使用した積層ダブル・ポリシリコン/MOSコンデンサの作製方法

(57) 【要約】

【課題】 表面に第1導電型領域が形成された半導体基板を含むBiCMOSデバイスのコンポーネントとして有用な積層ダブル・ポリシリコン/MOSコンデンサを提供すること。

【解決手段】 半導体基板上に、第1導電型領域に重なるゲート酸化物が形成される。少なくともゲート酸化層上に、N型ドーパントまたはP型ドーパントでドーパされた第1ポリシリコン層が形成される。第1ポリシリコン層上に誘電層が形成される。誘電層上に、第1ポリシリコン層と同じドーパントまたは異なるドーパントでドーパされた第2ポリシリコン層が形成される。



【特許請求の範囲】

【請求項1】積層ダブル・ポリシリコン/MOSコンデンサであって、

表面に第1導電型領域が形成された半導体基板と、前記半導体基板上に形成され、前記第1導電型領域に重なるゲート酸化物と、

少なくとも前記ゲート酸化層上に形成され、N型ドーパントまたはP型ドーパントでドーパされた第1ポリシリコン層と、

前記第1ポリシリコン層上に形成された誘電層と、前記誘電層上に形成され、前記第1ポリシリコン層と同じドーパントまたは異なるドーパントでドーパされた第2ポリシリコン層と、を含む、コンデンサ。

【請求項2】前記半導体基板は、Si、Ge、SiGe、GaAs、InAs、InP、Si/SiGe及びSi/SiO₂/Siよりなるグループから選択された半導体物質である、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項3】前記半導体基板はトレンチ分離領域を含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項4】前記第1導電型領域は、ドーパント濃度約 1×10^{19} 原子/cm³以上の高ドーパ領域である、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項5】前記ドーパントはN型ドーパントである、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項6】前記第1ポリシリコン層はドーパント濃度約 1×10^{19} 原子/cm³以上である、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項7】前記ドーパント濃度は約 1×10^{20} 原子/cm³乃至約 1×10^{21} 原子/cm³である、請求項6記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項8】前記第1ポリシリコン層はSiGeを含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項9】前記第1ポリシリコン層はN+ポリシリコンを含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項10】前記第1ポリシリコン層は厚み約100Å乃至約2000Åである、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項11】前記誘電層は、誘電定数が7を超える高誘電定数物質を含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項12】前記誘電層は誘電定数7以下の低誘電定数物質を含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項13】前記誘電物質は高温酸化物を含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項14】前記誘電層は厚み約30Å乃至約1000Åである、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項15】前記第2ポリシリコン層はSiGeを含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

10 【請求項16】前記第2ポリシリコン層はP+SiGeを含む、請求項15記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項17】前記第2ポリシリコン層はドーパント濃度約 1×10^{19} 原子/cm³以上である、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項18】前記ドーパント濃度は約 1×10^{20} 原子/cm³乃至約 1×10^{21} 原子/cm³である、請求項17記載の積層ダブル・ポリシリコン/MOSコンデンサ。

20 【請求項19】前記誘電層と前記第2ポリシリコン層の少なくとも露出側壁上に形成された窒化スペーサを含む、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項20】前記第2ポリシリコン層と前記第1導電型領域は第1電気ノードに接続され、前記第1ポリシリコン層は第2電気ノードに接続された、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項21】前記第2ポリシリコン層または前記第1ポリシリコン層は第1電気ノードに接続され、前記第1導電型領域は第2電気ノードに接続された、請求項1記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項22】前記第2ポリシリコン層は前記第1電気ノードに接続され、前記第2ポリシリコン層はフローティング・ポリシリコン層である、請求項21記載の積層ダブル・ポリシリコン/MOSコンデンサ。

【請求項23】少なくとも請求項1の積層コンデンサを含む、BiCMOSデバイス。

【請求項24】少なくとも1つのCMOSデバイスと少なくとも1つのバイポーラ・デバイスを含む、請求項23記載のBiCMOSデバイス。

40 【請求項25】積層ダブル・ポリシリコン/MOSコンデンサであって、

表面にN+領域が形成された半導体基板と、前記半導体基板上に形成され、前記N+領域に重なるゲート酸化物と、

少なくとも前記ゲート酸化層上に形成されたN+ポリシリコン層と、

前記N+ポリシリコン層上に形成された誘電層と、前記誘電層上に形成されたP+SiGeポリシリコン層と、

を含む、コンデンサ。

【請求項26】積層ダブル・ポリシリコン/MOSコンデンサを作製する方法であって、

a) 第1導電型領域を含む半導体基板の表面に、該第1導電型領域に重なる酸化層を形成するステップと、

b) 少なくとも前記酸化層上に、N型ドーパントまたはP型ドーパントでドーパされた第1ポリシリコン層を形成するステップと、

c) 前記第1ポリシリコン層上に誘電層を形成するステップと、

d) 前記誘電層上に、前記第1ポリシリコン層と同じドーパントまたは異なるドーパントでドーパされた第2ポリシリコン層を形成するステップと、

を含む、方法。

【請求項27】前記酸化層は、CVD、プラズマCVD、及びスパッタリングからなるグループから選択された付着プロセスにより形成される、請求項26記載の方法。

【請求項28】前記酸化層は熱成長プロセスにより形成される、請求項26記載の方法。

【請求項29】前記第1ポリシリコン層は付着プロセスとイオン注入ステップにより形成される、請求項26記載の方法。

【請求項30】前記第1ポリシリコン層はその場ドーピング付着プロセスにより形成される、請求項26記載の方法。

【請求項31】前記誘電層は、高速熱化学蒸着プロセスにより形成された高温酸化物である、請求項26記載の方法。

【請求項32】前記第2ポリシリコン層は付着プロセスとイオン注入ステップにより形成された、請求項26記載の方法。

【請求項33】前記第2ポリシリコン層はその場ドーピング付着プロセスにより形成された、請求項26記載の方法。

【請求項34】前記誘電層と前記第2ポリシリコン層の少なくとも露出側壁上に窒化スペーサを形成するステップを含む、請求項26記載の方法。

【請求項35】前記窒化スペーサは、温度約700℃の高速熱化学蒸着プロセスで形成される、請求項34記載の方法。

【請求項36】配線ステップを含む、請求項26記載の方法。

【請求項37】並列配線または直列配線のステップを含む、請求項36記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、BiCMOS、すなわちバイポーラ相補型金属酸化膜半導体(CMOS: complementary metal oxide semiconductor)デバイス

に関して、特にコンデンサ部分に積層ダブル・ポリシリコン(Poly-Poly)/金属酸化膜半導体(MOS)コンデンサ・コンポーネントが含まれるBiCMOSデバイスに関する。本発明はまた、処理ステップを様々なBiCMOS統合機構に組み込むことのできる積層ダブル・ポリシリコン/MOSコンデンサを作製する方法を提供する。

【0002】

【従来の技術】半導体デバイスの生産では、複雑なアナログ/デジタル・サブシステムを1つのチップに統合するため、CMOS(相補型金属酸化膜半導体)やBiCMOS(バイポーラ・デバイスと相補型金属酸化膜半導体)の技術が広く利用されている。通常、このようなサブシステムでは高精度コンデンサが必要である。

【0003】ダブル・ポリシリコン・コンデンサ、MOSコンデンサ(拡散ポリシリコン・コンデンサともいう)、ダブル・メタル・コンデンサ等、数種類のコンデンサが利用できる。現世代の統合デバイスの高精度コンデンサに対する需要を満たすため、ダブル・ポリシリコン・コンデンサがますます用いられるようになってい

る。【0004】ダブル・ポリシリコン・コンデンサは、高精度にもかかわらず、高コストと理想的コンデンサ特性の折衷物である。つまり比較的構成しやすく、電気特性はMOSコンデンサより良好であるが、ダブル・メタル・コンデンサには劣る。ただしダブル・メタル・コンデンサは、ダブル・ポリシリコン・コンデンサよりはるかに作製が困難である。

【0005】更にダブル・ポリシリコン・コンデンサは、V-C関係がMOSコンデンサよりリニアであることが知られている。MOSコンデンサの誘電性は、高ドーパ拡散領域上に熱成長した酸化物による。逆にダブル・ポリシリコン・コンデンサの誘電性は一般に、付着したCVD酸化物であり、得られる酸化物は、信頼性が求められるため、熱酸化物で可能な厚みよりも厚くなる。従って高キャパシタンス値は、一般にはダブル・ポリシリコン・コンデンサよりMOSコンデンサにみられる。

【0006】ダブル・ポリシリコン・コンデンサに関する前記の事柄を考慮すると、1単位面積当たりのキャパシタンスを改良したダブル・ポリシリコン・コンデンサが開発されれば極めて有益である。この目標は、本発明によれば、MOSコンデンサ上部にダブル・ポリシリコン・コンデンサを積層することにより達成される。このようなコンデンサは、複合信号や統合信号の用途に極めて有用である。

【0007】

【発明が解決しようとする課題】本発明の目的は、少なくともダブル・ポリシリコン/MOSコンデンサを積層したBiCMOSデバイスを提供することである。

【0008】本発明の別の目的は、高キャパシタンスが

関連付けられた積層ダブル・ポリシリコン/MOSコンデンサを提供することである。

【0009】本発明の別の目的は、高電圧が関連付けられた積層ダブル・ポリシリコン/MOSコンデンサを提供することである。

【0010】更に本発明の別の目的は、既存のBiCMOS処理機構に容易に統合することのできるプロセス・ステップにより作製可能な積層ダブル・ポリシリコン/MOSコンデンサを提供することである。

【0011】

【課題を解決するための手段】前記の利点は他の利点を含めて、本発明によりMOSコンデンサの上部電極をダブル・ポリシリコン・コンデンサのベース電極として利用して、MOSコンデンサ上部にダブル・ポリシリコン・コンデンサを形成することによって達成される。

【0012】本発明の態様では、前記の特徴を持つ積層ダブル・ポリシリコン/MOSコンデンサが提供される。具体的には、本発明の積層ダブル・ポリシリコン/MOSコンデンサは次を含む。表面に第1導電型の領域が形成された半導体基板、前記半導体基板上に、前記第1導電型領域に重ねて形成されたゲート酸化層、少なくとも前記ゲート酸化層上に、N型ドーパントまたはP型ドーパントでドーパされて形成された第1ポリシリコン層、前記第1ポリシリコン層上に形成された誘電層、及び前記誘電層上に、第1ポリシリコン層と同じドーパントまたは異なるドーパントでドーパされて形成された第2ポリシリコン層。

【0013】第1ポリシリコン層は、MOSコンデンサの上部電極として働く他、ダブル・ポリシリコン・コンデンサのベース・プレートつまりベース電極としても働くことに注意されたい。

【0014】本発明の実施例では、第1ポリシリコン層または第2ポリシリコン層はSiGeを含む。

【0015】本発明のより好適な実施例では、第2ポリシリコン層はSiGeを含む。

【0016】本発明の別の実施例では、第2ポリシリコン層と第1導電型領域は第1電気ノードに接続され、第1ポリシリコン層は第2電気ノードに接続される。この並列配線で、本発明の積層ダブル・ポリシリコン/MOSコンデンサは高キャパシタンス・コンデンサとして働く。なぜなら積層コンデンサ全体のキャパシタンスが、個々のコンデンサ、つまりMOSコンデンサとダブル・ポリシリコン・コンデンサのキャパシタンスの合計に等しいからである。

【0017】更に本発明の別の実施例では、第1ポリシリコン層または第2ポリシリコン層のコンデンサは、第1電気ノードに接続され、第1導電型領域は第2電気ノードに接続される。この直列配線では、本発明の積層ダブル・ポリシリコン/MOSコンデンサは高電圧コンデンサとして働く。なぜなら2つのコンデンサ間に逆キャ

パシタンス関係があるからである。

【0018】本発明の積層ダブル・ポリシリコン/MOSコンデンサは、BiCMOSデバイスのコンポーネントとして用いられることに注意されたい。従って、本発明の積層ダブル・ポリシリコン/MOSコンデンサは、従来の相補型金属酸化膜半導体(CMOS)デバイス、バイポーラ・デバイス、コンデンサ、及び通常はBiCMOSデバイス内にある他の同様のデバイスとともに使用できる。

10 【0019】本発明の別の態様は、前記の積層ダブル・ポリシリコン/MOSコンデンサを作製するプロセスに関する。本発明のプロセスは、デバイス・コンポーネントの1つとして少なくとも本発明の積層ダブル・ポリシリコン/MOSコンデンサを含むBiCMOSデバイスを提供するよう、既存のBiCMOS処理機構に簡単に実装することができる。具体的には、本発明の方法は次のステップを含む。

a) 第1導電型の領域を含む半導体基板の表面に、該第1導電型領域に重なる酸化層を形成するステップ、

20 b) 少なくとも前記酸化層上に、N型ドーパントまたはP型ドーパントでドーパされた第1ポリシリコン層を形成するステップ、

c) 前記第1ポリシリコン層上に誘電層を形成するステップ、及び

d) 前記誘電層上に、第1ポリシリコン層と同じドーパントまたは異なるドーパントでドーパされた第2ポリシリコン層を形成するステップ。

【0020】前記の方法には、ステップd)の後に配線ステップやバシペーション・ステップを加えることができる。配線ステップは並列配線または直列配線を含む。並列配線の場合、ダブル・ポリシリコン・コンデンサの上部電極つまり第2ポリシリコン層は、MOSコンデンサのベース・プレートつまり第1導電型の領域に、第1電気ノードを通して接続され、第1ポリシリコン層は第2電気ノードに接続される。直列配線の場合、ダブル・ポリシリコン・コンデンサの上部電極またはダブル・ポリシリコン・コンデンサのベース・プレートは第1電気ノードに、第1導電型領域は第2電気ノードにそれぞれ接続される。

40 【0021】

【発明の実施の形態】積層ダブル・ポリシリコン/MOSコンデンサ及びこれを作製する方法を提供する本発明について各図を参照して説明する。図中の対応する類似要素は同様の参照符号により示している。

【0022】図4を参照する。本発明の基本の積層ダブル・ポリシリコン/MOSコンデンサが示してある。図の積層コンデンサは、BiCMOSデバイスの1つのデバイス領域を表すことに注意されたい。バイポーラ・デバイス領域とCMOSデバイス領域を含む他のデバイス領域は、図4に示す積層ダブル・ポリシリコン/MOS

コンデンサに隣接して形成することができる。簡素化のため、BiCMOS構造の他のデバイス領域は省略してある。

【0023】具体的に、図4の積層ダブル・ポリシリコン/MOSコンデンサは半導体基板10を含み、基板10はトレンチ分離領域14と、基板の2つのトレンチ分離領域間に形成された第1導電型領域12を含む。トレンチ分離領域を図に示し、ここで説明しているが、本発明は周知の処理方法により作製されるLOCOS (local oxidation of silicon) 等、他のタイプの分離領域も対象とする。トレンチ分離領域には、トレンチの下部と側壁をライニングするライナ物質及び誘電充填物質を加えることができる。積層ダブル・ポリシリコン/MOSコンデンサはまた、領域12に重なるように基板表面に形成される酸化層16を含む。少なくとも酸化層16上に第1ポリシリコン層(N型ドーパまたはP型ドーパ)18が形成される。第1ポリシリコン層18上には誘電層20が形成され、誘電層20上には第2ポリシリコン層(N型ドーパまたはP型ドーパ)22が形成される。図4でオプションのスペーサ24は第2ポリシリコン層22上部及び第2ポリシリコン層22と誘電層20の側壁上に位置する。オプションのスペーサ24は、付着温度約700℃の高速熱化学蒸着(RTCVD)法により形成された窒化スペーサ及び他の方法により形成された窒化スペーサを含む。

【0024】図4に示した積層コンデンサ構造で、参照符号12、16及び18はMOSコンデンサのコンポーネントを、参照符号18、20及び22はダブル・ポリシリコン・コンデンサのコンポーネントをそれぞれ表す。参照符号18つまり第1ポリシリコン層は、MOSコンデンサとダブル・ポリシリコン・コンデンサに共有される共通要素である。第1ポリシリコン層は従って、MOSコンデンサの上部電極としても、ダブル・ポリシリコン・コンデンサのベース・プレートとしても働く。

【0025】図4の積層ダブル・ポリシリコン/MOSコンデンサを作製する方法及び物質について詳しく説明する。図1は、本発明のステップa)で採用できる初期半導体構造を示す。具体的には、図1の初期構造はトレンチ分離領域14と第1導電型領域(つまり高ドーパ拡散領域)12を持つ半導体基板10を含む。用語“高ドーパ”は約 1×10^{19} 原子/cm³以上のドーパント濃度を指し示す。領域12のドーパントは、どのようなデバイスの作製が求められるかにより、N型ドーパントまたはP型ドーパントになる。本発明の好適実施例では、領域12は重ドーパN+領域である。図1の構造はまた、第1導電型領域に重なるよう基板表面に形成された酸化層16を含む。

【0026】基板10は、Si、Ge、SiGe、GaAs、InAs、InP、他の全てのIII-V化合物半導体等、任意の複合半導体から構成される。Si/S

iGe、Si/SiO₂/Si(SOI)等、同じ半導体物質または異なる半導体物質を含む積層基板も本発明の対象である。これら半導体物質のうち、基板はSiで構成するのが望ましい。基板は最終的構造のBiCMOSに想定する、MOSデバイスの種類に応じてP型基板またはN型基板になる。

【0027】酸化層16を除く図1の構造は、従来の周知のステップにより形成される。例えば領域12は従来のイオン注入により、トレンチ分離領域14は従来の周知のトレンチ分離法によりそれぞれ形成される。このような処理ステップは周知の技術であり、詳細な説明は省略する。ダブル・ポリシリコン/MOSコンデンサを形成する次の処理ステップは、BiCMOSデバイスの作製時であればいつでも採用できることに注意されたい。すなわち、本発明の積層ダブル・ポリシリコン/MOSコンデンサを作製する次のステップは、プロセスの任意のステップ中、従来技術の任意のBiCMOS処理機構に統合することができる。

【0028】酸化層16は、化学蒸着(CVD)、プラズマCVD、スパッタリング等、従来の付着プロセスにより基板表面に形成される。また熱成長も可能である。

【0029】酸化層の形成に続いて、第1ポリシリコン層18(図2参照)が酸化層16上に形成される。従って、第1ポリシリコン層は酸化層を囲むように、つまりカプセル化するように形成される。第1ポリシリコン層18は重ドーパ層である。具体的には、第1ポリシリコン層18は濃度約 1×10^{19} 原子/cm³乃至約 5×10^{21} 原子/cm³以上のN型ドーパントまたはP型ドーパントを含む。第1ポリシリコン層のドーパント濃度は、好適には約 1×20^{20} 原子/cm³乃至約 1×10^{21} 原子/cm³である。本発明の実施例で、第1ポリシリコン層はSiGeを含む。本発明の別の実施例では第1ポリシリコン層は重ドーパN+層である。

【0030】図2に示す第1ポリシリコン層は、CVD、プラズマCVD、スパッタリング、スピノオン・コーティング、蒸着、他の同様の付着プロセス等、従来技術で周知の付着方法により形成される。ドーピングは従来のイオン注入ステップにより、ポリシリコン層の付着後に行える。また従来のドーピング付着プロセスによりその場で行うこともできる。ポリシリコン層の(ドーパまたは非ドーパ)形成後、ポリシリコン層を、リソグラフィ、エッチング等、従来のパターン法により任意にパターン化することができる。プロセスのこの時点で行われるエッチング・ステップは、SiO₂に比べてポリシリコンの除去時に選択性が高い反応性イオン・エッチング(RIE)プロセスである。この時点で、化学的湿式エッチング・プロセスにより酸化層16の露出部分を取り除くことができる。

【0031】第1ポリシリコン層18の厚みは、本発明には重要ではないが、通常は約1000Å乃至約200

0 Åである。ここでも、第1ポリシリコン層はMOSコンデンサの上部電極及びダブル・ポリシリコン・コンデンサのベース・プレートとしてあることを強調しておきたい。

【0032】本発明の次のステップを図3に示す。具体的には、図3は第1ポリシリコン層18表面上の誘電層20の形成を示す。誘電層は、CVD、プラズマCVD、スパッタリング、蒸着、スピンオン・コーティング等、従来の付着方法により形成される。本発明の誘電層20としては、第1ポリシリコン層と第2ポリシリコン層間の誘電体として働く任意の物質を採用できる。誘電体は、高誘電定数物質($k > 7$)または低誘電定数物質($k = 7$ 以下)等である。本発明に採用できる誘電物質の例として、 SiO_2 、 Si_3N_4 、ポリアミド、ポリイミド、 Si 含有ポリマ、チタン酸バリウム・ストロンチウム、 TiO_2 、 Ta_2O_5 、他の同様の誘電物質等がある。

【0033】本発明の実施例では、誘電層20は、2000年2月24日付米国特許出願第09/512721号に述べられているプロセスにより形成されるような高温酸化物である。高温酸化物は、具体的には該米国特許出願に述べられている高速熱CVDプロセスにより形成される。

【0034】誘電層の厚みは、後に作製されるデバイスの要求キャパシタンスによる。通常、誘電層20の厚みは約30 Å乃至約1000 Å、好適には約100 Å乃至約200 Åの範囲である。

【0035】次に、図4に示すように、誘電層20上に第2ポリシリコン層22が形成される。第2ポリシリコン層22は、第1ポリシリコン層18と同様、濃度約 1×10^{19} 原子/ cm^3 以上のN型ドーパントまたはP型ドーパントを含む重ドーパ層である。第2ポリシリコン層のドーパント濃度はより好適には、約 1×10^{20} 原子/ cm^3 乃至約 1×10^{21} 原子/ cm^3 である。第2ポリシリコン層のドーパントは第1ポリシリコン層と同じドーパントでも異なるドーパントでもよい。第2ポリシリコン層のドーパントは、本発明の好適実施例では第1ポリシリコン層のドーパントと異なる。第2ポリシリコン層は、本発明のより好適な実施例では(N型ドーパまたはP型ドーパの) SiGe を含む。また本発明の別の実施例の第2ポリシリコン層は重P+ SiGe 層である。

【0036】図4の第2ポリシリコン層は、CVD、プラズマCVD、スパッタリング、スピンオン・コーティング、蒸着、他の同様な付着プロセス等、従来の周知の付着法により形成される。ドーピングは、ポリシリコン層の付着後に、従来のイオン注入ステップにより行える。またその場ドーピング付着プロセスにより、その場でドーピングを行ってもよい。第2ポリシリコン層の(ドーパまたは非ドーパ)形成後、リソグラフィ、エッチング等、従来のパターン化法によりポリシリコン層を

任意パターン化することができる。プロセスのこの時点でを行うエッチング・ステップは、誘電物質に比べて、ポリシリコンの除去時に選択性が高い。

【0037】第2ポリシリコン層の厚みは本発明には重要ではなく、第1ポリシリコン層と同じでよく、異なる厚みでもよい。具体的には、第2ポリシリコン層の厚みは、約500 Å乃至約3000 Åである。第2ポリシリコン層はダブル・ポリシリコン・コンデンサの上部電極であることに注意されたい。

【0038】図4はまた、従来の付着法とエッチングにより形成されるオプシオンの窒化スペース24を示す。オプシオンの窒化スペースはまた、RTCVD法により形成することもできる。その場合付着温度は約700°Cである。本発明のこの時点でされるエッチング・ステップは、ポリシリコンに比べて窒化物の除去時に選択性が高い。

【0039】積層ダブル・ポリシリコン/MOSコンデンサの形成後、BiCMOSデバイスの他の領域を作製する他の処理ステップを実行できる。

【0040】図4の積層コンデンサは、当業者には周知の従来の配線方法により、大容量コンデンサまたは高電圧コンデンサを形成するよう配線することができる。具体的には、第2ポリシリコン層22と領域12を第1電気ノードに接続し、第1ポリシリコン層を偏倚可能な第2電気ノードに、第1ポリシリコン層(例えば層18)を接続することによって大容量コンデンサを形成できる。この並列配線で、積層コンデンサのキャパシタンスは、MOSコンデンサとダブル・ポリシリコン・コンデンサのキャパシタンスの合計に等しくなる。

【0041】また高電圧コンデンサは、第2ポリシリコン層22または第1ポリシリコン層18を第1電気ノードに接続し、MOSコンデンサのベース・プレートつまり領域12を第2電気ノードに接続することによって形成することができる。好適実施例では、第2ポリシリコン層22は第1電気ノードに接続され、領域12は第2電気ノードに接続され、第1ポリシリコン層18はフローティング・ポリシリコン層になる。このような直列配線のキャパシタンスは、2つのコンデンサ間で逆の関係になり、得られる積層コンデンサは、いずれかのコンデンサが個別に用いられる場合より高い電圧用途に採用することができる。

【0042】本発明について、特に好適実施例を挙げて説明したが、当業者には明らかなように、本発明の主旨と範囲から逸脱することなく、形式と詳細について前記及び他の変形が可能である。従って本発明は、ここに説明した通りの形式と詳細に限定されることはなく、特許請求の範囲内にあるとみなされる。

【0043】まとめとして、本発明の構成に関して以下の事項を開示する。

【0044】(1) 積層ダブル・ポリシリコン/MOS

コンデンサであって、表面に第1導電型領域が形成された半導体基板と、前記半導体基板上に形成され、前記第1導電型領域に重なるゲート酸化層と、少なくとも前記ゲート酸化層上に形成され、N型ドーパントまたはP型ドーパントでドーパされた第1ポリシリコン層と、前記第1ポリシリコン層上に形成された誘電層と、前記誘電層上に形成され、前記第1ポリシリコン層と同じドーパントまたは異なるドーパントでドーパされた第2ポリシリコン層と、を含む、コンデンサ。

(2) 前記半導体基板は、Si、Ge、SiGe、GaAs、InAs、InP、Si/SiGe及びSi/SiO₂/Siよりなるグループから選択された半導体物質である、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(3) 前記半導体基板はトレンチ分離領域を含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(4) 前記第1導電型領域は、ドーパント濃度約 1×10^{19} 原子/cm³以上の高ドーパ領域である、前記

(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(5) 前記ドーパントはN型ドーパントである、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(6) 前記第1ポリシリコン層はドーパント濃度約 1×10^{19} 原子/cm³以上である、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(7) 前記ドーパント濃度は約 1×10^{20} 原子/cm³乃至約 1×10^{21} 原子/cm³である、前記(6)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(8) 前記第1ポリシリコン層はSiGeを含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(9) 前記第1ポリシリコン層はN+ポリシリコンを含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(10) 前記第1ポリシリコン層は厚み約1000Å乃至約2000Åである、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(11) 前記誘電層は、誘電定数が7を超える高誘電定数物質を含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(12) 前記誘電層は誘電定数7以下の低誘電定数物質を含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(13) 前記誘電物質は高温酸化層を含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(14) 前記誘電層は厚み約30Å乃至約1000Åである、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(15) 前記第2ポリシリコン層はSiGeを含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(16) 前記第2ポリシリコン層はP+SiGeを含む、前記(15)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(17) 前記第2ポリシリコン層はドーパント濃度約 1×10^{19} 原子/cm³以上である、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(18) 前記ドーパント濃度は約 1×10^{20} 原子/cm³乃至約 1×10^{21} 原子/cm³である、前記(17)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(19) 前記誘電層と前記第2ポリシリコン層の少なくとも露出側壁上に形成された窒化スペーサを含む、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(20) 前記第2ポリシリコン層と前記第1導電型領域は第1電気ノードに接続され、前記第1ポリシリコン層は第2電気ノードに接続された、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(21) 前記第2ポリシリコン層または前記第1ポリシリコン層は第1電気ノードに接続され、前記第1導電型領域は第2電気ノードに接続された、前記(1)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(22) 前記第2ポリシリコン層は前記第1電気ノードに接続され、前記第2ポリシリコン層はフローティング・ポリシリコン層である、前記(21)記載の積層ダブル・ポリシリコン/MOSコンデンサ。

(23) 少なくとも前記(1)の積層コンデンサを含む、BiCMOSデバイス。

(24) 少なくとも1つのCMOSデバイスと少なくとも1つのバイポーラ・デバイスを含む、前記(23)記載のBiCMOSデバイス。

(25) 積層ダブル・ポリシリコン/MOSコンデンサであって、表面にN+領域が形成された半導体基板と、前記半導体基板上に形成され、前記N+領域に重なるゲート酸化層と、少なくとも前記ゲート酸化層上に形成されたN+ポリシリコン層と、前記N+ポリシリコン層上に形成された誘電層と、前記誘電層上に形成されたP+SiGeポリシリコン層と、を含む、コンデンサ。

(26) 積層ダブル・ポリシリコン/MOSコンデンサを作製する方法であって、

a) 第1導電型領域を含む半導体基板の表面に、該第1導電型領域に重なる酸化層を形成するステップと、

b) 少なくとも前記酸化層上に、N型ドーパントまたはP型ドーパントでドーパされた第1ポリシリコン層を形成するステップと、

c) 前記第1ポリシリコン層上に誘電層を形成するステップと、

d) 前記誘電層上に、前記第1ポリシリコン層と同じド

13

ーバントまたは異なるドーバントでドーブされた第2ポリシリコン層を形成するステップと、を含む、方法。

(27) 前記酸化層は、CVD、プラズマCVD、及びスパッタリングからなるグループから選択された付着プロセスにより形成される、前記(26)記載の方法。

(28) 前記酸化層は熱成長プロセスにより形成される、前記(26)記載の方法。

(29) 前記第1ポリシリコン層は付着プロセスとイオン注入ステップにより形成される、前記(26)記載の方法。

(30) 前記第1ポリシリコン層はその場ドーピング付着プロセスにより形成される、前記(26)記載の方法。

(31) 前記誘電層は、高速熱化学蒸着プロセスにより形成された高温酸化物である、前記(26)記載の方法。

(32) 前記第2ポリシリコン層は付着プロセスとイオン注入ステップにより形成された、前記(26)記載の方法。

(33) 前記第2ポリシリコン層はその場ドーピング付着プロセスにより形成された、前記(26)記載の方法。

(34) 前記誘電層と前記第2ポリシリコン層の少なくとも露出側壁上に窒化スペーサを形成するステップを含む、前記(26)記載の方法。

(35) 前記窒化スペーサは、温度約700℃の高速熱化学蒸着プロセスで形成される、前記(34)記載の方法。

(36) 配線ステップを含む、前記(26)記載の方法。

(37) 並列配線または直列配線のステップを含む、前

14

記(36)記載の方法。

【図面の簡単な説明】

【図1】本発明の積層ダブル・ポリシリコン/MOSコンデンサを作製する本発明の処理ステップを示す図である。BiCMOSデバイスのコンデンサ領域のみ示しており、バイポーラ・デバイス領域とCMOSデバイス領域は見やすさのため省略してある。

【図2】本発明の積層ダブル・ポリシリコン/MOSコンデンサを作製する本発明の処理ステップを示す図である。BiCMOSデバイスのコンデンサ領域のみ示しており、バイポーラ・デバイス領域とCMOSデバイス領域は見やすさのため省略してある。

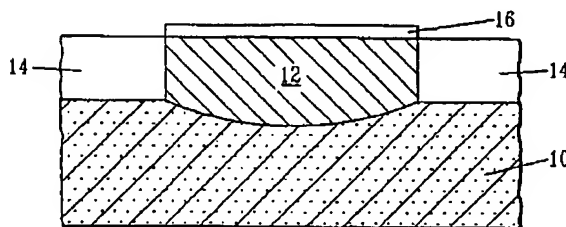
【図3】本発明の積層ダブル・ポリシリコン/MOSコンデンサを作製する本発明の処理ステップを示す図である。BiCMOSデバイスのコンデンサ領域のみ示しており、バイポーラ・デバイス領域とCMOSデバイス領域は見やすさのため省略してある。

【図4】本発明の積層ダブル・ポリシリコン/MOSコンデンサを作製する本発明の処理ステップを示す図である。BiCMOSデバイスのコンデンサ領域のみ示しており、バイポーラ・デバイス領域とCMOSデバイス領域は見やすさのため省略してある。

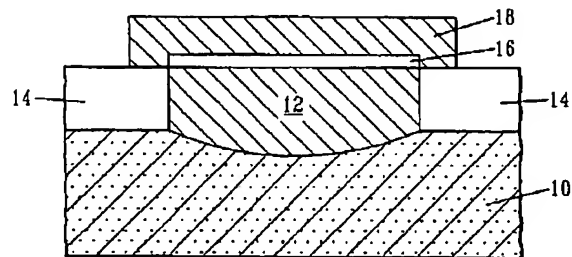
【符号の説明】

- 10 基板
- 12 領域
- 14 トレンチ分離領域
- 16 酸化層
- 18 第1ポリシリコン層
- 20 誘電層
- 22 第2ポリシリコン層
- 24 スペーサ

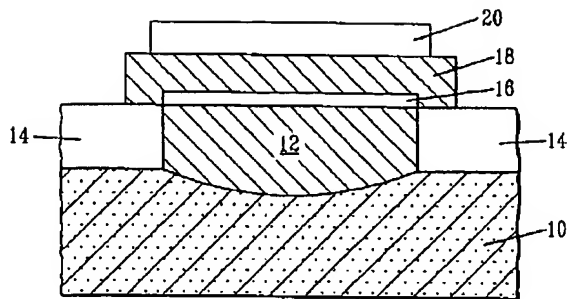
【図1】



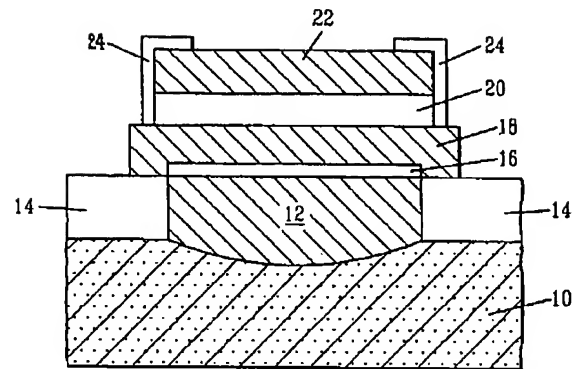
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ダグラス・ディ・クールバーク
アメリカ合衆国05452、バーモント州エセ
ックス・ジャンクション、セージ・サーク
ル 21

(72)発明者 ジェームス・スチュアート・ダン
アメリカ合衆国05465、バーモント州ジェ
リコー、オアー・ロード 75

(72)発明者 ステファン・アーサー・セント・オンジ
アメリカ合衆国05446、バーモント州コル
チェスター、プアー・ファーム・ロード
94

Fターム(参考) 5F038 AC05 AC10 AC17
5F048 AC05 AC10 BG01 BG13